



**USP - ICMC - SSC
SCE 0703 (PISE) - 2o. Semestre 2008**

Disciplina de Projeto e Implementação de Sistemas Embarcados I

Prof. Fernando Santos Osório
Email: fosorio [at] { icmc. usp. br , gmail. com }
Web: <http://www.icmc.usp.br/~fosorio/>

Apresentação da Disciplina

Agenda:

- 1. Objetivos da Disciplina**
- 2. Programa da Disciplina**
- 3. Ferramentas de Desenvolvimento Utilizadas**
- 4. Material de Apoio**
- 5. Critérios de Avaliação**
- 6. Recuperação**
- 7. Bibliografia Básica**

Objetivos da Disciplina

SCE0703 - Projeto e Implementação de Sistemas Embarcados I:

Destacar metodologias que favoreçam o projeto de sistemas embarcados em tempo real adequados à complexidade atual das aplicações, que inclui conceitos como o re-uso de projetos (core), verificação formal e implementação de software.

Carga Horária Total: 45 h

Método: Aulas expositivas e de laboratório, fazendo uso de ferramentas de software EDA (Electronic Design Automation) e placas de desenvolvimento de hardware.

Programa da Disciplina

Conteúdos:

- Desenvolvimento de projetos em Alto Nível através de Linguagens de Descrição de Hardware (VHDL, Verilog);
- Máquina Finita de Estados, RTL (Register Transfer Level), em dispositivos como Field Programmable Gate Array (FPGA).
- São considerados Co-Projetos de Hardware/Software em ambientes System-on-Chip enfocando CORE e IP para o re-uso de sistemas.
- Para esses estudos são considerados os usos das ferramentas EDA (Eletronic Design Automation) da Xilinx e Altera.
- Considerações sobre: co-projeto de hardware/software;
- Engenharia de software para o sistema;
- Questões de sincronização de clock;
- Protocolo de comunicação; escalonamento;
- RTOS (Real Time Operating System);
- Validação e verificação; tolerância à falhas;
- Programando sensores e atuadores;
- Simulação, ferramentas EDA, ambiente distribuído.

Fonte: Sistema JupiterWeb

<http://sistemas2.usp.br/jupiterweb/jupDisciplinaBusca?tipo=D>

Ferramentas de Desenvolvimento Utilizadas

Altera FPGA

Ferramentas de Software

Quartus II 6.0-8.0

ModelSim-Altera Edition

SOPC Builder and IP Solutions

Nios II Integrated Development Environment (IDE) - Cyclone Edition

Player/Stage (Robot Simulation - Pioneer 3 DX/AT)

Ferramentas de Hardware

Altera FPGA EP1C12F324C98

Cyclone / Firefly Board

NIOS II Evaluation Board Kit

Pionner 3 DX/AT Robots

Programa e Conteúdos

Cronograma Previsto: Aula / Data / Conteúdos

A01 - 04/08 - Apresentação da Disciplina
A02 - 11/08 - Altera / FPGA / Quartus II
A03 - 18/08 - Projeto FPGA: VHDL, VERILOG
A04 - 25/08 - Projeto FPGA: Esquemáticos
A05 - 01/09 - Projeto FPGA: Máquina de Estados
*** - 08/09 - Recesso Semana da Pátria / SEM AULA
A06 - 15/09 - Entrega do PRJ01 (Trabalho 01)
A07 - 22/09 - NIOS II
A08 - 29/09 - Programação NIOS II
A09 - 06/10 - Programação NIOS II
A10 - 13/10 - Projeto NIOS II
A11 - 20/10 - Projeto NIOS II
*** - 27/10 - Recesso / SEM AULA
*** - 03/11 - Recesso / SEM AULA
A12 - 10/11 - Entrega do PRJ02 (Trabalho 02)
A13 - 17/11 - Desenvolvimento Projeto Final
A14 - 24/11 - Desenvolvimento Projeto Final
A15 - 01/12 - Apresentação do PRJF (Projeto Final)
A16 - 08/12 - Apresentação do PRJF (Projeto Final)

SCE0703 - Sistemas Embarcados (PISE)

Material on-line:

<http://osorio.wait4.org/usp2008.html>

Site da ALTERA:

- > QUARTUS**
- > NIOS II**
- > Documentação e Demos On-Line**

Avaliação:

PRJ01 - Projeto 01: Quartus II - Lógica Digital

PRJ02 - Projeto 02: NIOS II

PRJF - Projeto FINAL:

- > Implementação do Projeto**
- > Monografia**
- > Apresentação de Seminário**

Frequência mínima: 70% // [Grupos: max. 3 alunos]

Média Final de Avaliação (MFa)

$MPRJ = (PRJ01 + PRJ02) / 2$

MFa: Se $MPRJ \geq 5.0$ e $PRJF \geq 5.0$

Então $MFa = 0.6 PRJF + 0.4 MPRJ$

Senão $MFa = \text{Min}\{PRJF, MPRJ\}$

Se $MFa \geq 5.0$ Então "Aprovado"

Senão Se $MFa \geq 3.0$ Então "Recuperação"

Senão "Reprovado"

Recuperação:

Média Final da Avaliação (MFa)

Média Final da Recuperação (MFr)

Média da Recuperação (MR)

Se $MR \geq 7.5$

Então $MFr = MFa + MR / 2.5$

Se $5.0 \leq MR < 7.5$

Então $MFr = 5.0$

Se $MR < 5.0$

Então $MFr = \text{Maior} \{ MFa, MR \}$

Média para aprovação: 5.0

SCE0703 - Sistemas Embarcados (PISE): Bibliografia

* ROWEN, C.

Engineering the Complex SoC: Fast, Flexible Design with Configurable Processors, Prentice Hall, 2004

* LI, O; YAO, C.

"Real-Time Concepts for Embedded Systems", ISBN: 1578201241, 294 pages, CMP Books; 2003.

>Bibliografia Complementar:

* PELLERIN, D.; THIBAUT, S.

"Practical FPGA Programming in C", 448 p., Prentice Hall, 2005.

* Wolf W.

"FPGA-Based System Design", 576 p., Prentice Hall, 2004.

* KATZ, R.H.

Contemporary Logic Design, The Benjamin/Cummings Pub., 1994.

* JERRAYA, A.A.; W. Wolf,

Multiprocessor Systems on-Chips, Morgan Kaufmann, 2004.

* ALTERA On-Line Documentation

<http://www.altera.com/literature/lit-index.html>



INFORMAÇÕES SOBRE A DISCIPLINA

USP - Universidade de São Paulo - São Carlos, SP
ICMC - Instituto de Ciências Matemáticas e de Computação
SSC - Departamento de Sistemas de Computação

Prof. Fernando Santos OSÓRIO
Web institucional: <http://www.icmc.usp.br/ssc/>
Página pessoal: <http://www.icmc.usp.br/~fosorio/>
E-mail: fosorio [at] icmc. usp. br ou fosorio [at] gmail. com

Disciplina de Proj. e Implementação de Sistemas Embarcados I
Ferramentas: Quartus, NIOS II, Cyclone Dev-Kit
Web disciplina: <Http://www.icmc.usp.br/~fosorio/>
> Programa, Material de Aulas, Critérios de Avaliação,
> Material de Apoio, Trabalhos Práticos